

出展ブース	出展内容
アーム	初期ライセンス料なしで Cortex-M0 と Cortex-M3 の設計が開始でき、しかもその設計の商用化も可能になった「Arm DesignStart」プログラムのデモを FPGA ベースの評価ボードでお見せします。また、機能的に正確でフレキシブルな Arm IP のプログラマーズ・ビューモデルである「Arm Fast Models」や「Arm Cycle Models」もご紹介します。
アルデック・ジャパン	ASIC/FPGA 向け HDL シミュレーションとハードウェア・アシステッド・ベリフィケーションのパイオニアであるアルデックは、UVM 検証ライブラリをサポートする高性能シミュレーション、CDC/RDC スタティックデザイン解析、大規模プロトタイプングボードおよびデザインパーティション等をご紹介します。さらに最近注目されているハイパフォーマンスコンピューティングや H.264/265 搭載の Xilinx Zynq ボードの最新情報も紹介します。
Intel/Docea	インテルブースでは消費電力と熱のシミュレーションを実行可能な最先端の設計環境をご紹介します。
Australian Semiconductor Technology Company	ASTC は組込みシステム開発およびテスト環境のすべての要素をソフトウェア表現に置き換える Virtualization Based Development (VBD) を提案します。 柔軟な Python 言語を基にした VLAB の導入することにより、統合された SystemC 設計及び HW・SW 協調検証環境が PC1 台で実現できます。展示ブースにて、数々の事例をご紹介します。
京都マイクロコンピュータ/SOLID	1. 開発プラットフォーム SOLID デモ展示 マルチコアも対応する RTOS プラットフォームのデモ展示です - 静的解析機能による、文法・構文チェック例 - メモリプロテクション機能、アドレスサンタイザによる実行時メモリアクセスバグ自動検出 - デバッグ中のコードカバレッジ (C1 相当) 表示機能 2. SoC 内部バス負荷測定ツール デモ展示 - ルネサスエレクトロニクス製 R-Car H3 を使った、SoC 内部バス負荷状態のモニタリング"
Silexica	無線通信、人工知能、高度なロボット制御、自動運転などの高性能化に合わせ、より複雑なマルチコアシステムが求められる昨今、ソフトウェア開発効率向上が喫緊の課題です。この課題に対し、アプリケーション特性に合わせ、ソースコード分析・並列化最適・各コア向けコード自動生成の一貫した開発フローを提供することで、開発期間の大幅短縮が可能な統合開発環境「SLX」をご紹介します。
SmartDV	大手各社のシミュレーターに依存しない独立系の検証 IP を 100 種類以上提供しています。また、検証効率を更に向上させるため、合成可能な検証 IP やアサーション IP を提供しています。この長年培った検証ノウハウを活かし、近年ではデザイン IP を安価に提供できるようになりました。これら大手ではまねできない検証 IP、デザイン IP とそれらサービスをご紹介します。
ソシオネクスト RF カスタム SoC	oT 機器の拡大とともに、RF 機能やアナログ入出力を有し、さらに小型で低消費電力の SoC が求められています。当社は、約 40 年に渡り培った RF-CMOS 技術を応用し、周辺のアナログ部品を 1 チップに収めることで、小型で低消費電力化、さらに部品点数の削減によるコストダウンを実現します。
東芝情報システム	・高位設計、高位合成 他社に先駆け 2002 年から導入。豊富な設計実績をご紹介します ・プログラマブルアナログデバイス analogram & トレーニングキット プログラマブルなアナログ IC(analogram) を使って、様々なアナログ回路を学習できるトレーニングキット
日本シノプシス	高速 FPGA プロトタイプング・システム HAPS 上に実装したシノプシスのエンベデッド・ビジョン・プロセッサ DesignWare EV6x による最先端 CNN テクノロジーを用いた物体検出デモをご覧ください。EV6x はベクター DSP を搭載する VisionCPU ならびに高性能かつプログラマブルな CNN Engine から構成されています。また EV6x の CNN Engine は、シノプシスのプロセッサ設計ツール ASIP Designer を用いて設計されています。
日本リアルインテント	展示ブースにて、最新のスタティック検証ツール(Lint, CDC, RDC, X-Pess Correct 検証)のご案内をさせていただきます。疑似エラー、エラーが検出できない、マルチモード検証、検証コスト等にお困りの方は是非お立ち寄りください。
OneSpin	OneSpin Solution 社はデジタル設計に対し、最新の EDA Solution でフォーマル検証のリーダーの地位を築いています。 信頼性が重要な分野 (safety-critical verification, SystemC/C++ high-level synthesis (HLS) code analysis, FPGA equivalence checking) で顧客の design challenge を可能にします。OneSpin Solution 社は、その先進のフォーマル検証プラットフォームを市場でいち早く利用できるようにすることで、完璧な設計を求める電機業界のリーダー企業と共に、劇的な成長を実現しています。 OneSpin: Making Electronics Reliable
ネットスピードシステムズ	NetSpeed "Orion AI" Physically Aware Network-on-chip IP for AI (新製品) NetSpeed "Orion" Physically Aware Network-on-chip IP NetSpeed "Gemini" Cache Coherent Network-on-chip IP NwtSpeed "Pegasus" Last Level Cache IP
パソナテック	① ラズベリーパイに tiny-YOLO (物体検出) をするデモ パソナテック独自開発の組み込みディープラーニング開発サポートツールを利用した「組込ディープラーニングエンジニア育成プログラム」のご紹介 ② パソナテックの AI/ディープラーニングに関する技術サービス「AI アシスト」のご紹介受託開発、クラウドワーカーによるアノテーション業務受託、技術者派遣
ファラデー・テクノロジー日本	ファラデーテクノロジー社は最先端の ASIC/SoC、IP ベンダで、ファブレス ASIC ベンダとして世界でトップ 50 社、台湾でトップ 10 社にランクされています。1993 年に設立以来、民生、マルチメディア、ネットワーク及び PC 周辺等の広範な応用向けに数億個の ASIC を出荷し実績を積み重ねてきました。DSF2018 では、ファラデー社の技術と実績を御理解いただく為、ASIC/SoC システム開発の期間短縮、IP 評価やソフト開発の加速を可能にする 55nm uLP プロセス上で開発された超低消費電力動作の ASIC を含む IoT 向けプラットフォーム Uranus+ や 28nm プロセスで開発された評価チップを含むファラデーの Linux ベースの次世代プラットフォーム A500 を展示予定です。
PrimeGate	プライムゲートは、ASIC/FPGA 設計検証に特化したスペシャリスト集団です。映像・通信・制御等の幅広い分野で経験を積んだエンジニアが提供する短納期・高品質の「ASIC/FPGA デザインサービス」や「動作合成での演算回路のプロトタイプ作成事例」を展示しておりますので、LSI 開発でお悩みの方は、是非当社展示ブースに足をお運びください。
Blue Pearl Software	リアルタイムに RTL チェックが可能な、スマート RTL エディタ(HDL Creator)および、CDC(クロックドメインクロッシング)解析を使い、クリーンな RTL 設計、検証、デバッグの格段な効率アップを可能とします。すべてのアプリケーションは統一した環境で起動でき、メッセージ、RTL コード、スキマティックのクロスリファレンスや強力なメッセージフィルタが備わり、素早い正確なデバッグをサポートします。
ベリフォア	ベリフォアは、第三者機能検証を始め、RTL 設計やドライバー開発、FPGA 関連やシステム開発まで、お客様のニーズにお応えするソリューションサービスカンパニーです。創業以来定評のある多様な手法に対応した検証サービスを始め、検証会社品質の RTL 設計や、効果的な検証ツール群など、10 年を超える実績を基に弊社のサービス・ツール群をご紹介します。
Magillem	IP-XACT を用いた設計ソリューションを展示致します。 また、ドキュメントと設計データとのトレーサビリティを実現するツール及び新製品の紹介、デモなどをブースにてお見せ致します。